

Développement d'une mémoire SOT-MRAM ultra-rapide

Contact : Gilles GAUDIN DRF//INAC/SPINTEC gilles.gaudin@cea.fr 0438782384

Stage pouvant se poursuivre en thèse : Oui

Résumé :

L'industrie de la microélectronique va être confrontée rapidement à des difficultés majeures liées à la dissipation et la consommation énergétique. Une solution pour stopper cette tendance est l'intégration de la non volatilité (NV) dans les mémoires cache, les mémoires les plus rapides d'un système informatique, qui se trouvent au plus près du processeur. Le développement d'une mémoire NV, adressable électriquement et combinant grandes vitesses et endurance est essentielle pour atteindre cet objectif.

La SOT-MRAM (Spin Orbit Torque MRAM), récemment proposée au laboratoire SPINTEC et développée dans la start-up ANTAIOS (7 demandes de brevet), combine ces caractéristiques tout en étant compatible avec les noeuds technologiques inférieurs à 22nm.

Son développement est actuellement freiné par la nécessité d'appliquer un champ magnétique planaire statique.

L'objectif du stage et de la thèse qui suit est de développer une SOT-MRAM sans champ.

Le travail expérimental se fera entre SPINTEC et ANTAIOS. Il demandera de la nanofabrication en salle blanche, de la caractérisation magnétique ainsi que des mesures de transport électrique sous impulsions sub-ns.

Sujet détaillé :

L'industrie de la microélectronique va être confrontée à des difficultés majeures liées à la dissipation et la consommation énergétique, rendant par exemple la réduction en taille des microprocesseurs impossible. Une solution prometteuse pour stopper cette tendance est l'intégration de la non volatilité dans les mémoires cache. La non-volatilité (NV) d'une mémoire signifie qu'elle conserve l'information enregistrée même lorsque l'alimentation électrique est coupée. Le développement d'une mémoire NV adressable électriquement et combinant grandes vitesses et endurance est essentielle pour atteindre ces objectifs.

Le laboratoire SPINTEC a récemment proposé un nouveau concept de mémoire magnétique, la SOT-MRAM pour « Spin Orbit Torque MRAM » que la société ANTAIOS (start-up issue du laboratoire) développe. La SOT-MRAM s'écrit au moyen d'un courant injecté dans une piste soutenant le nanopilier magnétique tandis que la lecture se fait par la mesure de la magnéto-résistance tunnel (TMR) au moyen d'un courant parcourant l'empilement perpendiculairement aux couches (cf figure). Par rapport à la STT-MRAM (Spin Transfer Torque MRAM) commercialisée très prochainement, notamment par Samsung et en passe de devenir un standard de mémoire, la SOT-MRAM, de taille plus importante, présente une vitesse d'écriture beaucoup plus grande (sub-ns) et une endurance infinie. Ces caractéristiques, plus sa compatibilité avec les nœuds technologiques inférieurs à 22nm, en font le candidat le plus prometteur pour le remplacement des SRAM dans les mémoires cache.

Son développement est actuellement freiné par la nécessité d'appliquer un champ magnétique statique au cours de l'écriture. La génération d'un tel champ magnétique pose des problèmes d'intégration et une solution intégrée est indispensable au développement de ces mémoires.

Le rôle de ce champ magnétique statique est de briser une symétrie miroir. Sans cette brisure les deux sens opposés de l'aimantation (codant « 0 » et « 1 ») sont parfaitement équivalentes et l'information ne peut être codée. Ceci signifie que les solutions possibles ne se limitent pas à l'intégration d'un champ magnétique mais peuvent être plus diverses : forme du plot, matériau particuliers, schéma d'écriture particulier, ...

L'objectif du stage sera de se focaliser sur une solution particulière qui nous (SPINTEC & ANTAIOS) paraît la plus prometteuse en terme de scalabilité et de distribution des paramètres critiques. Suivant les résultats de ce stage, la thèse se poursuivra sur cette solution ou intégrera d'autres solutions alternatives.

Ce travail expérimental se fera dans l'environnement conjoint de SPINTEC et de ANTAIOS, pour les aspects amont (physique des couples de spin

orbite, du retournement sub-ns, ...) et appliqué (solution la plus prometteuse pour des aspects industriels, spécifications demandées, tests statistique,...). Il demandera de la nanofabrication en salle blanche, de la caractérisation magnétique ainsi que du transport magnéto-électrique sous des impulsions sub-ns.

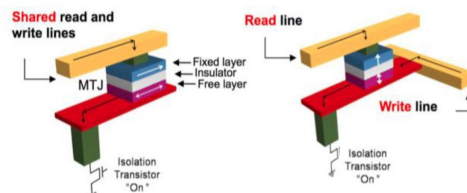


Figure 1: In STT-MRAM (left), the read and write current share the same path while they are different for the SOT-MRAM (right).

Compétences requises :

Master 2 Physique du solide / Matière condensée / Matériaux