

## Développement de modèles compacts pour la conception de circuits hybrides CMOS/magnétiques basés sur de nouveaux phénomènes spintroniques

**Contact :** Guillaume PRENAT DRF//INAC/SPINTEC [guillaume.prenat@cea.fr](mailto:guillaume.prenat@cea.fr) 0438786315

**Stage pouvant se poursuivre en thèse :** Oui

### Résumé :

L'électronique de spin est un mariage entre l'électronique et le magnétisme qui cherche à tirer parti du meilleur des deux mondes. Le magnétisme est très approprié pour les fonctions mémoire car permet de coder une information de façon non-volatile grâce à l'orientation de l'aimantation de nanostructures magnétiques. Des mémoires magnétiques appelées MRAM sont sur le point d'entrer en production de volume chez plusieurs industriels majeurs de l'électronique. Celles-ci utilisent pour la lecture la magnétorésistance tunnel de jonctions tunnel magnétiques et pour l'écriture le couple créé par un courant polarisé en spin traversant une nanostructure magnétique (couple de transfert de spin). Mais l'électronique de spin ne cesse de progresser et de nouveaux phénomènes ont été découverts depuis sur lequel notre laboratoire travaille activement. Ces nouveaux phénomènes qui reposent sur l'interaction spin-orbite permettent de concevoir des mémoires et des circuits logiques non-volatiles extrêmement performants en particulier par leur ultra-faible consommation électrique. Le but du stage est de développer les outils de conception (modèles compacts) mettant en œuvre ces phénomènes, interfacer ces modèles avec CADENCE, et de concevoir quelques circuits simples à partir de ces modèles.

### Sujet détaillé :

#### Contexte :

SpinTEC est un laboratoire spécialisé dans la spintronique, qui vise à faire le pont entre la recherche fondamentale en magnétisme et les applications pour la microélectronique. La spintronique est une discipline en plein essor qui consiste à utiliser des dispositifs magnétiques en plus des dispositifs standards de la microélectronique pour essayer de repousser les barrières physiques qui limitent la miniaturisation des circuits intégrés. Ces dispositifs magnétiques sont à la base d'une catégorie de mémoire émergente, appelée MRAM pour Magnetic Random Access Memory. Ces mémoires font partie des mémoires résistives non-volatiles. Elles combinent un grand nombre d'avantages pour les circuits logiques qu'aucune autre forme de mémoire ne rassemble : intrinsèquement non-volatiles, elles ont une vitesse d'opération proche de la SRAM, une densité proche de la DRAM et une endurance quasiment infinie.

De nombreuses études académiques ont montré les avantages en termes de performances, consommation électrique et nouvelles fonctionnalités que l'on pouvait attendre de l'usage des MRAM dans les systèmes de calculs pour différentes applications. Les plus grands acteurs industriels de la microélectronique s'intéressent à cette technologie, dans sa version la plus standard, c'est-à-dire à écriture par courant polarisé en spin (STT pour Spin Transfer Torque). Cependant, tandis que cette technologie devient de plus en plus mature et proche de la commercialisation, d'autres générations voient le jour, comme l'écriture par basculement d'anisotropie induite par tension électrique ou interconversion entre courant de spin et courant de charge par effet spin-orbite. Ces nouvelles générations promettent des performances encore plus intéressantes, mais restent actuellement au stade de l'étude théorique ou de développement matériaux.

#### But du stage :

Le but de ce stage est d'évaluer de façon préliminaire les avantages qu'on pourrait obtenir de circuits mémoire et logique utilisant ces nouveaux concepts, au niveau électronique. Il sera pour cela nécessaire de développer les modèles compacts permettant de simuler des composants électroniques basés sur ces nouveaux phénomènes puis de les coupler aux outils de conception standards de la microélectronique. Ces outils permettront alors de concevoir des circuits élémentaires qui permettront à plus long terme une évaluation des avantages potentiels dans des circuits

plus complexes. Dans la pratique, deux tâches seront adressées durant ce stage :

- Le développement, en langage VerilogA, de modèles compacts électriques pour simulation électrique de circuits hybrides CMOS/Magnétiques basés sur ces nouveaux phénomènes,
- La conception, en utilisant ces modèles, de circuits élémentaires de lecture/écriture pour ces dispositifs émergents.

Ce stage sera poursuivi par une thèse de doctorat pour évaluer les performances de ces dispositifs dans des circuits plus complexes, notamment les gains en performance ou en consommation que l'on pourrait espérer, ainsi que les éventuelles nouvelles fonctionnalités.

**Compétences requises :**

Le candidat devra avoir un niveau de Master 2, de formation universitaire ou école d'ingénieurs. Ses compétences devront couvrir la conception microélectronique analogique au niveau circuit, idéalement en utilisant le logiciel Cadence. Des notions de programmation en langage verilogA seraient un plus. Le candidat devra maîtriser suffisamment l'anglais pour être à l'aise pour la lecture et la rédaction d'articles scientifiques, ainsi que dans les discussions techniques qui pourraient avoir lieu en anglais. Un intérêt pour la recherche et la multidisciplinarité sont essentielles pour ce stage. Une volonté de continuer en thèse est fortement souhaitée.